

KOREAN PATENT ABSTRACTS

(11)Publication
number:

1020030059445 A

(43)Date of publication of application:
10.07.2003

(21)Application number: 1020010088306

(22)Date of filing: 29.12.2001

(71)Applicant:

HYNIX SEMICONDUCTOR
INC.

(72)Inventor:

YOON, GUK HAN

(51)Int. Cl.

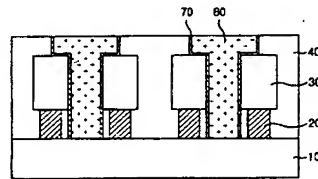
H01L 21/28

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for manufacturing a semiconductor device is provided to be capable of reducing parasitic capacitance between an interconnection and a contact plug.

CONSTITUTION: Interconnections(20A) and a hard mask(30) are sequentially stacked on a semiconductor substrate(10). The width of the interconnection(20A) is reduced by under-cutting of the interconnection. An interlayer dielectric(40) is formed to fill the under-cut portion. A contact hole is formed by etching the interlayer dielectric(40) by using SAC(Self Aligned Contact) processing. A contact plug(80) is formed by filling a conductive layer into the contact hole. At this time, the interlayer dielectric(40) remains at both sidewalls of the interconnection.



&copy; KIPO 2003

Legal Status

공개특허 제2003-59445호(2003.07.10) 1부.

[첨부그림 1]

특 2003-0059445

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/28	(11) 공개번호 (43) 공개일자	특2003-0059445 2003년 07월 10일
(21) 출원번호 (22) 출원일자	10-2001-0088306 2001년 12월 29일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 윤국한	
(74) 대리인	경기도미천시송정동중앙아파트 102-1702 특허법인 신성	
심사청구 : 없음		
(54) 반도체 소자의 제조방법		

요약

본 발명은 워드라인이나 비트라인 같은 배선과 콘택 플러그 사이의 기생 캐패시턴스를 감소시킬 수 있는 반도체 소자의 제조방법을 제공한다.

본 발명은 배선 및 하드 마스크가 적층된 반도체 기판을 준비하는 단계; 배선을 언더컷시켜 배선의 폭을 감소시키는 단계; 언더컷된 배선 사이의 공간이 매립되도록 기판 전면 상에 용간절연막을 형성하는 단계; 용간절연막을 SAC 공정으로 식각하여 하드 마스크 사이의 기판을 노출시키는 콘택홀을 형성하는 단계; 및 콘택홀에 매립되도록 도전막을 증착하고 패터닝하여, 기판과 콘택하는 콘택 플러그를 형성하는 단계를 포함하며, 콘택홀 형성시 콘택홀 측벽의 배선 측벽에 용간절연막이 잔류되는 것을 특징으로 반도체 소자의 제조방법에 의해 달성될 수 있다. 바람직하게, 용간절연막은 껍질 특성이 우수하고 비교적 낮은 접착성을 갖는 산화막으로서 플러미 계열의 SOG 산화막으로 형성한다.

도표도

도 11

색인어

언더컷, 기생 캐패시턴스, 콘택 플러그, 배선, 절연상수, SAC

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도.

※도면의 주요부분에 대한 부호의 설명

10 : 반도체 기판	20, 20A : 배선
30 : 하드 마스크	40 : 용간절연막
50 : 포토레지스트 패턴	60 : 콘택홀
70 : 절화막	80 : 콘택 플러그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 배선과 콘택 플러그 사이의 기생 캐패시턴스(parasitic capacitance)를 감소시킬 수 있는 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 고집적화에 따른 디자인 룰(design rule)의 감소에 의해 리소그라피(lithography) 장비의

해상도(Resolution) 한계와 오정렬(misalignment) 등의 문제로 인하여 각 층간의 공정 마진을 확보하는 것이 매우 어렵게 되었다. 이에 따라, 콘택형성시 산화막과 절화막 등의 절연막 간의 식각선택비 차이를 이용하는 자기정렬콘택(self-aligned contact: SAC) 공정을 적용하고 있다.

그러나, SAC 공정을 적용하는 경우에는 식각정지층으로서 작용하는 절화막이 7.0 의 높은 절연상수(k) 값을 갖기 때문에, 이미 형성된 배선, 예컨대 워드라인이나 비트라인 같은 배선과, 플러그와 같은 콘택을 절 사이의 기생 캐패시턴스가 증가되는 문제가 있었다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 워드라인이나 비트라인 같은 배선과 콘택 플러그 사이의 기생 캐패시턴스를 감소시킬 수 있는 반도체 소자의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 배선 및 하드 마스크가 적층된 반도체 기판을 준비하는 단계; 배선을 언더컷시켜 배선의 폭을 감소시키는 단계; 언더컷된 배선 사이의 공간이 매립되도록 기판 전면 상에 층간절연막을 형성하는 단계; 층간절연막을 SAC 공정으로 식각하여 하드 마스크 사이의 기판을 노출시키는 콘택홀을 형성하는 단계; 및 콘택홀에 매립되도록 도전막을 증착하고 패터닝하여, 기판과 콘택하는 콘택 플러그를 형성하는 단계를 포함하며, 콘택홀 형성시 콘택홀 측부의 배선 측벽에 층간절연막이 잔류되는 것을 특징으로 반도체 소자의 제조방법에 의해 달성될 수 있다.

바람직하게, 층간절연막은 갭필 특성이 우수하고 비교적 낮은 절연상수를 갖는 산화막으로서 폴리머 계열의 SOG 산화막으로 형성한다. 또한, 배선의 언더컷은 플라즈마를 이용한 등방성 식각으로 수행하고, 언더컷의 정도는 50 내지 500 Å 정도의 범위로 조절한다. 또한, SAC 공정은 고밀도 또는 중밀도 플라스마 방식으로 O₂/N₂/CH₄, O₂/N₂, O₂/SO₂, 및 O₂/CO와 같은 산소기체의 조합개스를 이용하여 수행한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 1a를 참조하면, 반도체 기판(10) 상에 폴리실리콘막, 금속막 또는 금속실리사이드막과 같은 배선용 도전막 및 하드 마스크용 절연막으로서 절화막을 순차적으로 적층하고, 건식식각으로 절화막을 식각하여 하드 마스크(30)를 형성한다. 그 다음, 하드 마스크(30)를 식각 마스크로하여 상기 도전막을 건식식각으로 식각하여 워드라인 또는 비트라인과 같은 배선(20)을 형성한다.

그 후, 배선(20)에 대한 플라즈마를 이용한 등방성 식각조건을 적용하여 하드 마스크(30) 하부의 배선(20)을 언더컷(undercut)시켜, 도 1b에 도시된 바와 같이, 배선(20) 보다 폭이 감소된 배선(20a)을 형성한다. 이때, 언더컷의 정도는 배선의 선폭을 고려하여 50 내지 500 Å 정도의 범위로 조절한다. 즉, 언더컷의 조절에 의해 배선(20a)의 폭을 조절할 수 있고, 또한 이후 배선(20a) 측벽에 잔류하는 층간절연막의 양도 조절할 수 있다.

도 1c를 참조하면, 기판 전면 상에 층간절연막(40)을 형성한다. 바람직하게, 층간절연막(40)은 배선(20a) 사이의 공간을 완전히 매립시킬 수 있도록 갭필(gap-fill) 특성이 우수하면서 비교적 절연상수 값이 낮은 산화막, 더욱 바람직하게는 플로우 특성이 우수한 폴리머 계열의 SOG(Spin On Glass) 산화막으로 형성한다. 예컨대, 이러한 폴리머 계열의 제품으로는 실리콘(silic), BCB (Benzocyclobutene), 또는 플레어(flare) 등이 있다. 즉, SOG 계열의 산화막은 화학기상증착(Chemical Vapor Deposition; CVD)-산화막에 비해 절연상수값이 낮으므로, 이후 배선(20a)과 콘택 플러그 사이의 기생 캐패시턴스를 감소시키는 데 효과적이다. 그 후, 층간절연막(40) 상부에 공지된 포토레지스트그래프를 이용하여, 배선(20a) 사이에 매립된 층간절연막(40)을 노출시키는 포토레지스트 패턴(50)을 형성한다.

도 1d를 참조하면, 포토레지스트 패턴(50)을 식각 마스크로 하여 절화막인 하드 마스크(30)와 산화막인 층간절연막(40)과의 식각 선택비 차이를 이용한 SAC 식각공정을 수행하여, 하드 마스크(30) 사이의 기판(10)을 노출시키는 콘택홀(60)을 형성한다. 여기서, SAC 공정은 O₂/N₂/CH₄, O₂/N₂, O₂/SO₂, 및 O₂/CO와 같은 산소기체(oxygen-based)의 조합개스를 이용한 고밀도(high density) 또는 중밀도(middle density) 플라스마 방식으로 수행한다. 이때, 언더컷에 의해 감소된 배선폭에 의해, 도시된 바와 같이, 콘택홀(60) 측부의 배선(20a) 측벽에 층간절연막(40)이 잔류하게 된다. 그 후, 공지된 방법으로 포토레지스트 패턴(50)을 제거한다.

도 1e를 참조하면, 후속 세정 공정 등에 의한 산화막 손실을 방지하기 위하여, 필요에 따라 선택적으로 콘택홀(60) 표면 및 층간절연막(40) 상부에 얇은 리니어(liner) 절화막(70)을 형성한 후, 기판(60)이 노출되도록 콘택홀(60) 저부의 절화막(70)을 제거한다.

도 1f를 참조하면, 콘택홀(60)에 매립되도록 기판 전면 상에 플러그용 도전막을 증착하고, 도전막 및 절화막(70)을 층간절연막(40)이 노출되도록 전면 식각하여, 기판(10)과 콘택하면서 서로 절연된 콘택 플러그(80)를 형성한다.

상기 실시예에 의하면, 층간절연막으로서 절연상수가 SOG 계열의 산화막을 적용하고, 디자인룰에 따른 배선의 해당 선폭을 유지하면서 배선의 폭을 언더컷으로 소정 폭만을 감소시켜 SAC 공정 이후에도 층간절연막이 배선의 측벽에 잔류하도록 함으로써, 배선과 콘택 플러그 사이의 기생 캐패시턴스를 감소시킬 수 있

다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

전술한 본 발명은 워드라민이나 비드라민 같은 배선과 콘택 플러그 사이의 기생 캐패시턴스를 감소시킴으로써, 소자의 동작속도를 향상시킬 수 있다.

(57) 청구의 범위

청구항 1. 배선 및 하드 마스크가 적층된 반도체 기판을 준비하는 단계;

상기 배선을 언더컷시켜 배선의 폭을 감소시키는 단계;

상기 언더컷된 배선 사이의 공간이 매립되도록 상기 기판 전면 상에 용간절연막을 형성하는 단계;

상기 용간절연막을 SAC 공정으로 식각하여 상기 하드 마스크 사이의 공간을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀에 매립되도록 도전막을 증착하고 패터닝하여, 상기 기판과 콘택하는 콘택 플러그를 형성하는 단계를 포함하며,

상기 콘택홀 형성시 상기 콘택홀 측부의 상기 배선 측벽에 상기 용간절연막이 잔류되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2. 제 1 항에 있어서,

상기 용간절연막은 겔필 특성이 우수하고 비교적 낮은 절연상수를 갖는 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3. 제 2 항에 있어서,

상기 산화막은 플러머 계열의 SO₂ 산화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4. 제 1 항에 있어서,

상기 배선의 언더컷은 플라즈마를 이용한 등방성 식각으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5. 제 1 항 또는 제 4 항에 있어서,

상기 언더컷의 정도는 50 내지 500 Å 정도의 범위로 조절하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6. 제 1 항에 있어서,

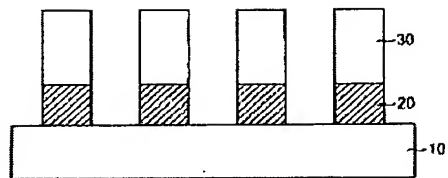
상기 SAC 공정은 고밀도 또는 종말도 플라즈마 방식으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7. 제 6 항에 있어서,

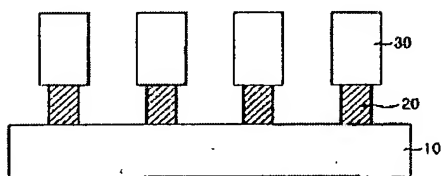
상기 SAC 공정은 O₂/N₂/O₄, O₂/N₂, O₂/SO₂, 및 O₂/CO₂와 같은 산소기체의 조합개스를 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

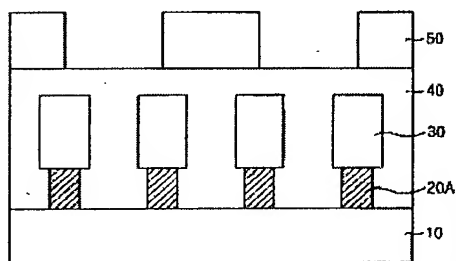
도면 1a



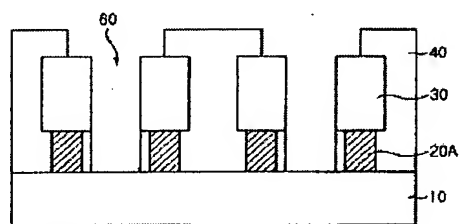
도면 1b



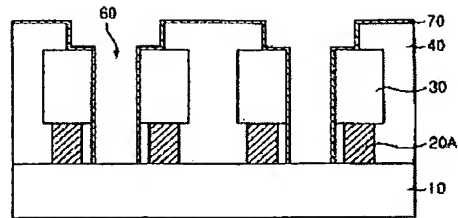
도면 1c



도면 1d



도면 1a



도면 1b

